

**CONTROL METHOD FOR RESONANT DG-DC CONVERTOR**

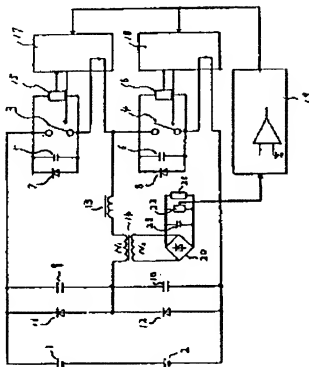
**Patent number:** JP3027768  
**Publication date:** 1991-02-06  
**Inventor:** SAITO RYOJI; SENOO KAZUHIRO; ITO MIKIO  
**Applicant:** ORIGIN ELECTRIC  
**Classification:**  
- international: H02M3/28; H02M3/335  
- european:  
**Application number:** JP19890162414 19890623  
**Priority number(s):** JP19890162414 19890623

Report a data error here

**Abstract of JP3027768**

**PURPOSE:** To remove power loss by performing the charge and discharge of the parasitic capacitor of a switching semiconductor element by the accumulated electromagnetic energy of inductance.

**CONSTITUTION:** A resonant DC-DC convertor is constituted of main MOSFET switches 3 and 4, resonant capacitors 9 and 10, an resonant inductor 13, a transformer 14, a rectifying circuit 29, etc., and this supplies power to a load 21. Moreover, this is equipped with voltage monitoring circuits 15 and 16 for the main switches 3 and 4, driving circuits 17 and 18, a controller 20, and a voltage detection circuit. The energies of a parasitic capacitors 5 and 6 of the main switches 3 and 4 are supplied by the energy accumulated in an inductor 13.



Data supplied from the esp@cenet database - Worldwide

⑫ 公開特許公報(A) 平3-27768

⑬ Int. Cl.<sup>5</sup>

H 02 M 3/28  
3/335

識別記号

Q  
E

庁内整理番号

7829-5H  
7829-5H

⑭ 公開 平成3年(1991)2月6日

審査請求 未請求 請求項の数 3 (全7頁)

⑮ 発明の名称 共振形DC-DCコンバータの制御方法

⑯ 特 願 平1-162414

⑰ 出 願 平1(1989)6月23日

⑱ 発 明 者 齊 藤 亮 治 東京都豊島区高田1丁目18番1号 オリジン電気株式会社  
内  
⑱ 発 明 者 妹 尾 一 宏 東京都豊島区高田1丁目18番1号 オリジン電気株式会社  
内  
⑱ 発 明 者 伊 藤 幹 雄 東京都豊島区高田1丁目18番1号 オリジン電気株式会社  
内  
⑲ 出 願 人 オリジン電気株式会社 東京都豊島区高田1丁目18番1号

明 書

1. 発明の名称 共振形DC-DCコンバータの  
制御方法

2. 特許請求の範囲

(1) 直列接続された一対の共振用コンデンサ及び一対のスイッチング半導体素子を直流入力電圧にそれぞれ並列接続すると共に、前記共振用コンデンサに並列にダイオードを接続し、前記スイッチング半導体素子同士の接続点と前記共振用コンデンサ同士の接続点間に変圧器の1次巻線と直列に共振用インダクタを接続し、前記変圧器の2次巻線に接続された整流回路、平滑回路を介して直流出力を得るように構成し、前記スイッチング半導体素子の交互の開閉に伴い生ずる前記共振用コンデンサと前記共振用インダクタとの直列共振を利用して出力を生ずるDC-DCコンバータにおいて、前記スイッチング半導体素子の一方のターンオフ後、その導通期間に前記変圧器と前記共振用インダクタに蓄えられた磁気エネルギーにより、前記スイッチング半導体素子の一方の寄生容量にエ

ネルギーを蓄え、前記スイッチング半導体素子の他方の寄生容量に蓄えられたエネルギーを放電し、そして前記スイッチング半導体素子の他方の両端の電圧が十分に低い設定電圧値以下に低下した時点で前記スイッチング半導体素子の他方をターンオン駆動することと特徴とする共振形DC-DCコンバータの制御方法。

(2) 直列接続された一対の共振用コンデンサ及び一対のスイッチング半導体素子を直流入力電圧にそれぞれ並列接続すると共に、前記共振用コンデンサに並列にダイオードを接続し、また前記直流入力電圧側と前記共振用コンデンサ同士の接続点との間に共振電圧制御用インダクタを接続し、前記スイッチング半導体素子同士の接続点と前記共振用コンデンサ同士の接続点間に変圧器の1次巻線と直列に共振用インダクタを接続し、前記変圧器の2次巻線に接続された整流回路、平滑回路を介して直流出力を得るように構成し、前記スイッチング半導体素子の交互の開閉に伴い生ずる前記共振用コンデンサと前記共振用インダクタとの直

列共振及び前記共振用コンデンサと前記共振電圧制御用インダクタとの直列共振とを利用して出力を発生・制御するDC-DCコンバータにおいて、前記スイッチング半導体素子の一方のターンオフ後、その導通期間に前記変圧器と前記共振インダクタとに蓄えられた磁気エネルギーにより、前記スイッチング半導体素子の一方の寄生容量にエネルギーを蓄えと共に、前記スイッチング半導体素子の他方の寄生容量に蓄えられたエネルギーを放電し、そして前記スイッチング半導体素子の他方の両端の電圧が十分に低い設定電圧値以下に低下した時点で前記スイッチング半導体素子の他方をターンオン駆動することと特徴とする共振形DC-DCコンバータの制御方法。

(3) 前記共振用インダクタのインダクタンスに代えて前記変圧器の漏洩インダクタンスを使用する請求項(1)又は(2)に記載のDC-DCコンバータにおいて、前記スイッチング半導体素子の一方のターンオフ後、その導通期間に前記変圧器の漏洩インダクタンスに蓄えられた磁気エネルギー

により、前記スイッチング半導体素子の一方の寄生容量にエネルギーを蓄えと共に、前記スイッチング半導体素子の他方の寄生容量に蓄えられたエネルギーを放電し、そして前記スイッチング半導体素子の他方の両端の電圧が十分に低い設定電圧値以下に低下した時点で前記スイッチング半導体素子の他方をターンオン駆動することと特徴とする共振形DC-DCコンバータの制御方法。

### 3. 発明の詳細な説明

#### (産業上の利用分野)

本発明は、共振形DC-DCコンバータの効率を改善し得るその制御方法に関する。

#### (従来の技術)

DC-DCコンバータの効率を向上し小型化する目的で、スイッチング半導体素子のスイッチング損失を低減するため、インダクタンス(L)とキャパシタンス(C)との共振現象を利用して、スイッチング半導体素子のスイッチング時にそれに電流と電圧とが同時にかけられないようにし、これによりスイッチング損失の低減を図った共振形

コンバータが提案されている。

これら共振形コンバータは、そのスイッチング動作点の近傍でスイッチング半導体素子を流れる電流とそれに印加される電圧の状態から3種類に大別される。その第1は、スイッチング半導体素子のターンオン直後とターンオフ直前の電流がほぼゼロであるゼロ電流スイッチング型、第2はターンオン直前とターンオフ直後の電圧がほぼゼロのゼロ電圧スイッチング型、第3は電流・電圧がスイッチング動作点前後において共にほぼゼロのゼロ電流・ゼロ電圧スイッチング型である。

#### (発明が解決しようとする問題点)

高周波コンバータのスイッチング半導体素子の電力損失の主要要因として、そのスイッチング半導体素子の主端子間容量 $C_{ss}$ とスイッチング特性の関係、オン電圧、コンバータの動作力率がある。

従来のゼロ電流スイッチング型は、共振用コンデンサの電圧をダイオードでクランプするなどして動作力率の良い回路を実現できるが、ゼロ電圧

スイッチングでないため、容量 $C_{ss}$ に伴う電力損失があり、周波数が高くなるにつれてこの電力損失の問題が大きくなる。

また、ゼロ電圧スイッチング型は容量 $C_{ss}$ に伴う電力損失はないが、広い電力制御範囲で動作を行うとスイッチング半導体素子のターンオフ時の電流と入力電源に寄生される電流が増大して動作力率が低下し、高い効率で動作させることは難しい。また従来のゼロ電流・ゼロ電圧スイッチング型は、電力制御を行うとゼロ電流・ゼロ電圧スイッチングのモードから外れ、ゼロ電流スイッチング型又はゼロ電圧スイッチング型の動作を行うので、動作力率の低下やスイッチング損失が増大する。従って、この方式は大電力を比較的広い範囲で制御するDC-DCコンバータには適さない。

そのため従来、大電力容量の場合にはIGBTなどを用いてこれらを比較的低い周波数で動作させるゼロ電流スイッチング型コンバータが使用され、また小電力容量ではMOSFETを用いて高

周波で動作させるゼロ電圧スイッチング型コンバータが使用されていた。従って、大電力容量のDC-DCコンバータを高周波化すると同時に小型化し、且つ高い効率で動作させることは極めて困難であった。

ここではゼロ電圧スイッチング型でない、或いはゼロ電圧スイッチング型動作モードから外れて動作する共振型コンバータの電力損失について説明する。

表1は、スイッチング半導体素子としてMOSFET、IGBTを用い、これらのスイッチング時にかかる電圧に対するそれらの主端子間容量の充放電電荷量を示す。なお、MOSFETは2個並列接続した場合であり、MOSFETもIGBTも1アーム分の電荷量である。

表1. 主スイッチの主端子間容量の充放電電荷量と主端子間電圧。

主スイッチ	電 荷 量 (nC)					
FET (個)	247	329	391	447	498	545
IGBT	87	126	157	185	213	236
電圧 (V)	50	100	150	200	250	300

分低い設定電圧以下に低下した時点でスイッチング半導体素子の他方をターンオン駆動することを特徴としている。従って、この発明によるコンバータではスイッチング半導体素子の主端子間寄生容量に伴う電力損失は実用上無視できる程小さい。

#### ( 実施例 )

本発明は、共振型コンバータを広い電力制御範囲にわたって高質的にゼロ電流・ゼロ電圧スイッチング動作させる制御方法を提供するものである。

以下図面により本発明の実施例について説明する。

第1図は、本発明の制御方法を実現するための共振型DC-DCコンバータの概略回路構成を示す。この図において、1と2は直流入力電源、3と4はMOSFET、IGBTのようなスイッチング半導体素子を示す主スイッチ。5と6は主スイッチの主端子間寄生容量、7と8はダイオード、9と10は共振用コンデンサ、11と12はクランプ

次にスイッチング半導体素子のこのような主端子間容量の充放電に伴う電力損失は、最も動作モードでは入力電圧と電荷量と周波数の積となり、第1図(4)、(8)に動作周波数と電力損失との関係をそれぞれ示す。この図から、スイッチング半導体素子の動作周波数及び主端子間電圧の増大に伴い、主端子間容量の充放電による電力損失が増大することが明らかである。

#### ( 問題点を解決するための手段及び作用 )

本発明では上述のような従来の欠点を除去するため、スイッチング半導体素子の交互の閉閉に伴い生ずる共振用コンデンサと共振用インダクタとの直列共振を利用して出力を発生するDC-DCコンバータにおいて、スイッチング半導体素子の一方のターンオフ後、その導通期間中にインダクタンスに蓄えられた磁気エネルギーにより、スイッチング半導体素子の一方の寄生容量にエネルギーを蓄えと共に、スイッチング半導体素子の他方の寄生容量に蓄えられたエネルギーを放電し、そしてスイッチング半導体素子の他方の開通の電圧が十

用ダイオード、13は共振用インダクタ、14は1次巻線N<sub>1</sub>と2次巻線N<sub>2</sub>とを有する変圧器、15、16は主スイッチ3、4の両端の電圧をそれぞれ監視する電圧監視回路、17、18はそれぞれ主スイッチ3、4の駆動回路、19はコントローラ、20は変圧器14の2次巻線N<sub>2</sub>に接続された整流回路、21は負荷、22は電圧検出回路、23は平滑用コンデンサである。なお、ダイオード7と8は、主スイッチ3、4がMOSFETのときはその寄生ダイオードであり、IGBTの場合には別途並列接続したダイオードである。また、主スイッチがIGBTなどのようにスイッチング速度の遅い素子に場合は、必要に応じて適当な容量のコンデンサを素子に並列接続することが望ましい。更にまた、共振用インダクタ13を除去し、そのインダクタンスの代わりに変圧器14の漏れインダクタンスを用いることもできる。

次にこのような構成の回路の動作説明を行う。先ず第3図に主スイッチ3、4の電流、電圧をそれぞれI<sub>sw</sub>、V<sub>sw</sub>で示し、変圧器14の1

二次巻線電圧を $V_{w1}$ で示す。主スイッチ4がオン状態で変圧器14への電流供給を繰り返り、変圧器14の励磁電流がその1次巻線N<sub>1</sub>、共置用インダクタ13、主スイッチ4、ダイオード12を介して循環しているものとする。この励磁電流は主スイッチ4の電流 $I_1$ のレベルの低いフラットな部分に相当する。この状態で次に主スイッチ4をターンオフすると、変圧器14の1次巻線N<sub>1</sub>の励磁電流が寄生容量5の充電電荷の放電と寄生容量6の充電を開始する。この放電と共に変圧器14の2次巻線のN<sub>2</sub>の電圧が上昇して行く。2次巻線のN<sub>2</sub>の電圧が出力電圧、つまり平滑用コンデンサ23の電圧に達すると、整流回路20が導通し、変圧器14の励磁電流は2次巻線のN<sub>2</sub>にも流れ始め、1次巻線N<sub>1</sub>の励磁電流は減少して行くが、共置用インダクタ13の蓄積エネルギーがあるので、寄生容量5、6は更に放電、充電を続け、主スイッチ3の両端の電圧はゼロになる。このスイッチング動作区間の時間軸を拡大した各部の波形成を第4図に示す。電圧監視回路15は主スイッチ3の両端の電圧を

直入力電源電圧にそれぞれクランプされ、LCの共振モードを終了して共置用インダクタ13の電流が最終的に減少するモードに移る。この出力電流供給期間では変圧器14の励磁電流は小さな値であるが、2次巻線N<sub>2</sub>の巻数と出力電圧で決まる関係で増加して行く。共置用インダクタ13の第4図に示す電流 $I_4$ が変圧器14の励磁電流の1次換算値と等しくなる。整流回路20は非導通となり、出力への電流供給の半サイクルが終了して電流供給の休止区間に入る。なお、この時点までに、変圧器14に蓄積された励磁エネルギーは共置用インダクタ13、クランプ用ダイオード11、主スイッチ3を介して流れ、変圧器14の1次巻線N<sub>1</sub>の電圧はほぼゼロとなるため、変圧器14の励磁電流は主スイッチ3の導通状態の間、ほぼ一定に保たれる。

次に主スイッチ3のターンオン時と同様に、主スイッチ4の両端の電圧がゼロになった時点（電圧監視回路16が検出）で主スイッチ4をターンオンすることにより、前述と同様な次の半サイクル

監視しており、主スイッチ3の両端の電圧がゼロになると、駆動回路17に検出信号を送って、駆動回路17に主スイッチ3のターンオン信号を発生させる。主スイッチ3をゼロ電圧でターンオンさせる。この間における寄生容量の放電は、変圧器14の励磁電流と共置用インダクタ13の電流で行われるので、主スイッチの寄生容量による回路損失は極めて小さく、実質的に主スイッチ3はゼロ電圧でスイッチング損失を生ずることなくターンオンする。

主スイッチ3がターンオンすると、直入力電源による共置用コンデンサ10の充電と共置用コンデンサ9の放電は、共置用インダクタ13の作用で直列共振を形成し、変圧器14、整流回路20などを介して直列共振電流を直接出力に送出する。この直列共振電流は、始めは共置用コンデンサ9、10と共置用インダクタ13の作用により正弦波状になる。そして共置用コンデンサ9の電圧がゼロになると、クランプ用ダイオード11が導通し、共置用コンデンサ9はゼロ電圧、共置用コンデンサ10は

が開始する。そしてこの様な動作を繰り返すことにより、ゼロ電圧スイッチング、つまり主スイッチ3、4を電圧がかかっていない状態でターンオンさせることができる。

次にこのターンオフの制御について説明する。主スイッチ3、4のターンオフは、コントローラ19の誤差増幅器で基準信号と出力電圧検出回路22からの検出電圧信号とを比較して得た誤差信号に基づいて制御される。この誤差信号は従来のように主スイッチのターンオン時刻を制御せずに、主スイッチ3、4のターンオフ時刻を制御する。前記誤差信号に対応して主スイッチ3、4のターンオフを制御することにより出力電圧を制御している。従って、出力電力を制御しながら主スイッチ3、4のゼロ電圧ターンオン動作を常時維持できる。

ここで主スイッチのターンオフ時は、前述のとおり次にターンオンさせる一方の主スイッチの両端の電圧をゼロにするために必要な励磁電流が他方の主スイッチを流れているので、厳密な意味で

のゼロ電圧ターンオフではないが、共振用コンデンサ9、10に比べて主スイッチ3、4の寄生容量は十分小さいので、励磁電流は主共振電流に比べてはるかに小さい。また、主スイッチのターンオフ時ではそれらの寄生容量の充電電荷がゼロであり、この回路では寄生容量の充電前に主スイッチが完全にオフするように回路定数を設定してあるので、主スイッチはそのターンオフ直後の電圧がゼロ、つまりゼロ電圧ターンオフが行われる。従って、高質上ゼロ電流・ゼロ電圧で主スイッチのターンオフを行え、極めて低損失のターンオフを実現できる。

次に第2図により、直流入力電源1、2両士の接続点と共振用コンデンサ9、10両士の接続点間に共振電圧制御用インダクタ25を備えた場合について説明する。なお、単一の直流入力電源の電圧を分割する一対の直列接続したコンデンサを設け、それらの接続点と共振用コンデンサ両士の接続点との間に共振電圧制御用インダクタ25を備えた構成のものでよい。また、共振用コンデンサ同

ルギも当然に小さくなるので、励磁電流も減少する。このため主スイッチ3、4の寄生容量5、6を励磁電流の作用で充放電して、主スイッチ3、4をゼロ電圧でターンオンさせるには励磁電流が不十分になるが、共振電圧制御用インダクタ25が変圧器14に電圧を再印加して励磁電流を増加させるよう作用するので、主スイッチ3、4をゼロ電圧でターンオンさせるに十分な励磁電流を確保できる。従って、軽負荷時でも主スイッチをゼロ電圧でターンオンできる。

また主スイッチのターンオフ時については、定常の場合と同様に、励磁電流のみが流れている状態で主スイッチをゼロ電圧ターンオフさせるので、極めて低損失のターンオフを実現できる。

第4図に従来方法と本発明方法による電力損失の産出結果を示した。同図から周波数が大きくなるに伴い従来方法では電力損失が急増するが、本発明方法では電力損失がほとんど変わらないのが分かる。

( 発明の効果 )

士の接続点からコンデンサを介して直流入力電源の負端子に共振電圧制御用インダクタを接続する構成のものでよい。

この共振電圧制御用インダクタ25は低電流出力時に共振電流を低減するためのものであり、軽負荷時の出力制御を改善する目的で挿入されている。共振電圧制御用インダクタ25は、共振用インダクタ13と共振用コンデンサ9、10による各半サイクルの主共振が終了した後、共振用コンデンサ9、10と第2の共振を行い、共振用コンデンサ9、10の電圧を変動させる。そして次の主スイッチのターンオンを共振用コンデンサの電圧が低い位相で行うことにより、主共振電流を小さくできる。これによって軽負荷に十分対応できる。この第2の共振の周波数は主共振の周波数よりも低い値に選定され、これらの比が出力電力を無負荷から定額負荷まで制御するのに必要な制御周波数の範囲となる。軽負荷に対応して主共振電流を減少させると、第5図の1.で示すように出力電流供給期間が短くなり、変圧器14に蓄積される励磁エネルギー

以上述べたように本発明によれば、

- (1) 主スイッチとして用いられるスイッチング半導体素子の寄生容量の充放電をインダクタンスの共振結核エネルギーで行っているため、スイッチング半導体素子の寄生容量の充放電による電力損失は実質的に生じない。
- (2) スwitchング半導体素子の寄生容量の放電の進行に伴いスイッチング半導体素子の両端の電圧がゼロになった時点で、そのスイッチング半導体素子をターンオンさせているので、ゼロ電流・ゼロ電圧ターンオンが実現でき、ターンオン損失が生じない。
- (3) 主共振電流に比べてはるかに小さい変圧器の励磁電流が流れている状態で主スイッチをターンオフ制御し、主スイッチの寄生容量を利用してゼロ電圧ターンオフを実現しているため、ターンオフ損失を無視できる程小さくできる。
- (4) 出力電圧に依存する状態信号に対応して主スイッチのターンオフ時点を制御して出力電流休止期間中、小さな励磁電流を一定に保持できるので

、その休止期間を大幅に制御して出力制御を広範囲にわたって行ってもゼロ電流・ゼロ電圧スイッチングを維持出来る。

などの効果を得る共駆型コンバータの制御方法を提供できる。

#### 4. 図面の簡単な説明

第1図及び第2図はそれぞれ本発明に係る制御方法を実施するための別々の共駆型DC-DCコンバータの回路構成を示す図、第3図は本発明を説明するのに用いられる各部の動作波形図、

第4図は本発明の特にスイッチング時点での各部の動作波形の詳解を示す図、第5図は軽負荷時における本発明を説明するのに用いられる各部の動作波形図、第6図は本発明方法と従来方法のよる電力損失を比較するための図、第7図は従来方法のよるスイッチング半導体素子の主端子間容量の充放電に伴う電力損失を示す図である。

1. 2-直流入力電源、 3. 4-主スイッチ、

5. 6-主スイッチの主端子間容量、

9. 10-共駆用コンデンサ、

11. 12-電圧クランプ用ダイオード、

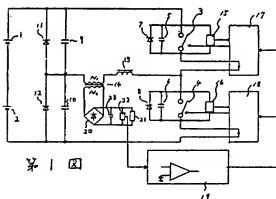
13-共駆用インダクタ、 14-変圧器、

15. 16-電圧監視回路、 17. 18-駆動回路、

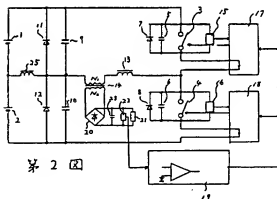
19-コントローラ、

25-共駆電圧制御用インダクタ、

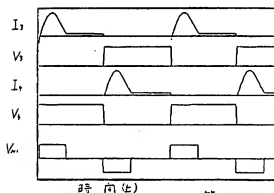
特許出願人 オリジン電気株式会社



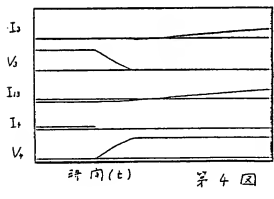
第1図



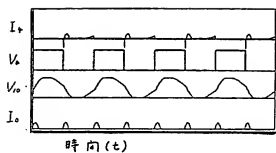
第2図



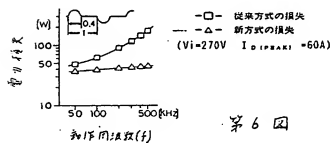
第3図



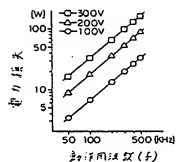
第4図



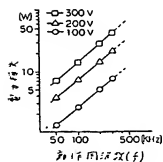
第5図



第6図



(A) FET



(B) IGBT

第7図